# 实验一Quartus 软件与状态机第一部分

一、实验目的：

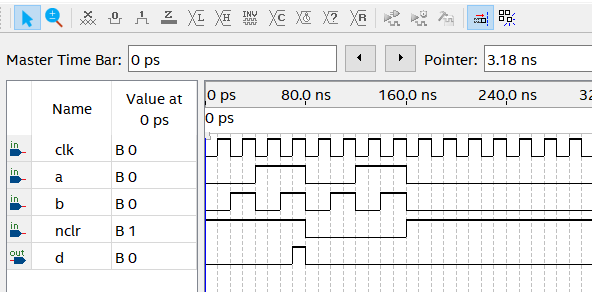
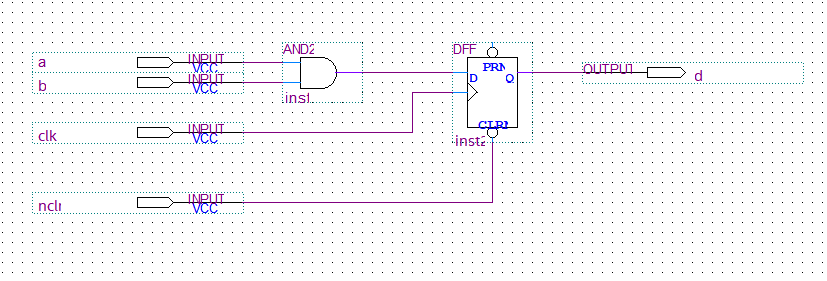
（1）复习巩固Quartus软件流程；

（2）掌握Verilog HDL、VHDL、 BDF图形输入之间的本质关联；

（3）学习Verilog HDL、VHDL的基本语法。

二、实验原理及步骤

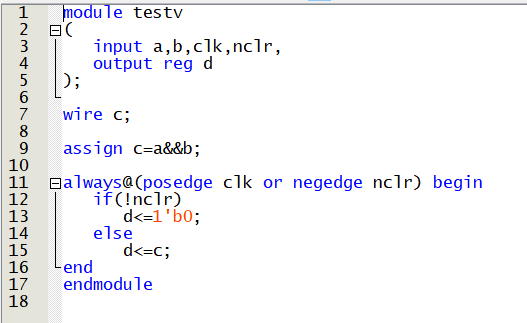
1.将test.bdf的图形文件输入，并添加波形进行仿真。新建工程文档之后添加图形和波形文件并仿真如下：



可以验证，quartus功能正常，波形为当时钟clk的上升沿到来且nclr为高电平时，输出端d为a与b的值。

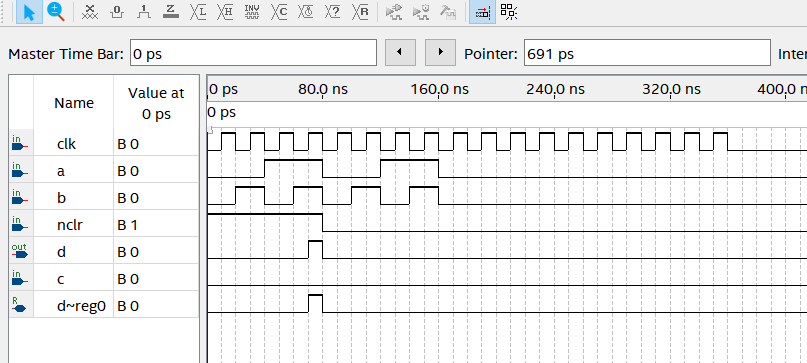
2.将图形用verilog语言改写。

在原工程文件夹下创建.v后缀的文件，命名为testv，转换后的代码如下：



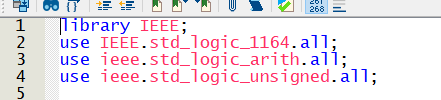
第一部分定义了输入、输出极其对应的类型，同时定义中间导线类型的量c作为第一个与门的输出。always中表明当时钟上升沿或者nclr下降沿来临时才进行操作。根据D触发器的次态方程我们可以得到输出d和输入c的关系为d=c，并且如果nclr为低电平则d输出为0。

可以看到仿真结果相同。注意c作为中间逻辑表达式，要想得到其准确状态变化必须接一根输出线。

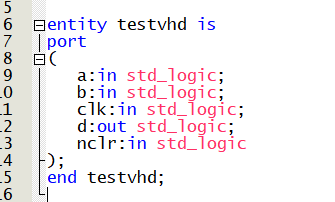


3.根据图形和sync.vhd文件，该写出VHDL语言的代码，并进行仿真

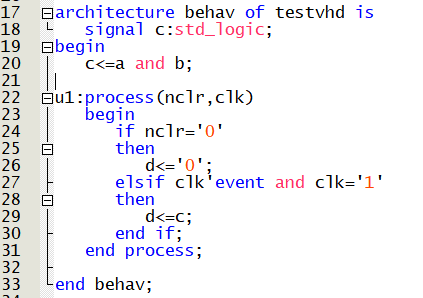
VHDL语言也是一种硬件描述语言，首先对其库函数进行声明。



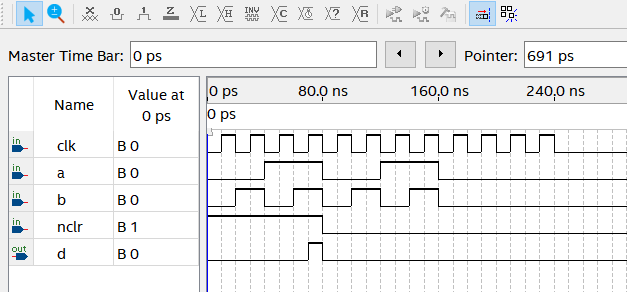
其次定义实际硬件电路名，及其输入输出变量。



下来描述硬件电路，仍然定义有中间逻辑表达式的值c，并在u1实际电路部分根据D触发器的次态方程和nclr的状态进行if条件赋值。电路部分从architecture behav of testvhd is开始，至end behav结束。

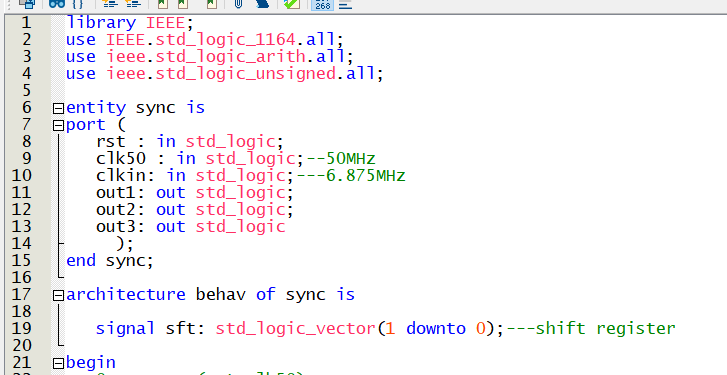


仿真结果如下，和前两者一致。

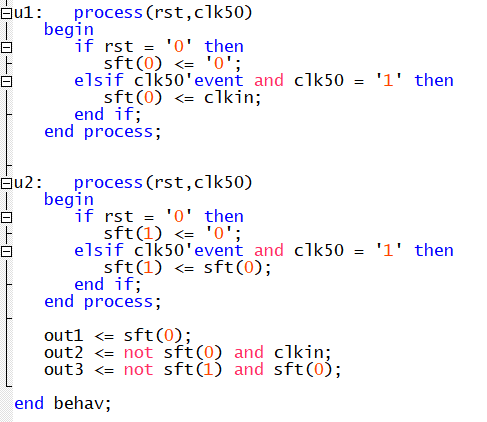


4.读sync.vhd文件中的代码，并将其改画为图形，进行仿真。

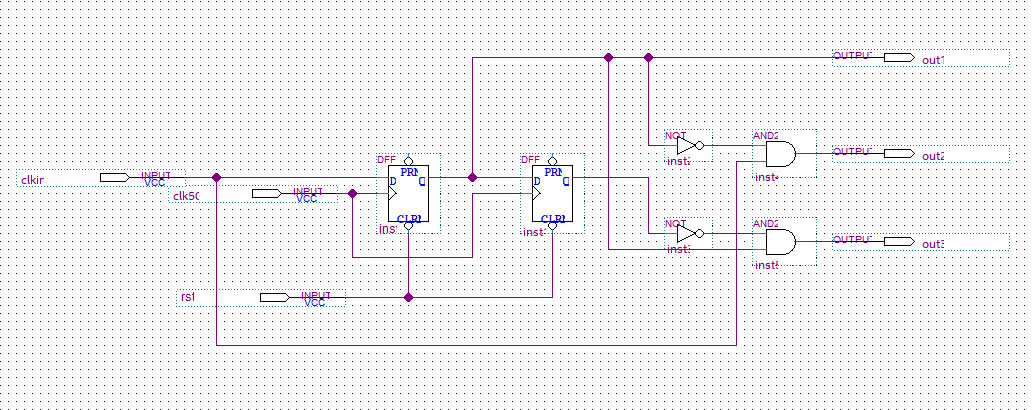
首先观察第一部分的代码。可以得到基本的库函数定义，确定电路模块的输入输出为三输入，分别是rst，clk50，clkin，三输出分别为out1，out2，out3，同时有中间逻辑表达式，sft(0)和sft(1)。



观察第二部分代码，可以看出为两级电路级联，第一级输出为sft(0)，第二级输出为sft(1)。



根据D触发器的VHDL参数定义，可以得到两级电路均用D触发器实现，rst为初始化信号，clk50为50MHz时钟信号。根据u1部分elsif当clk50上升沿来临时对sft(0)幅值和D触发器的次态方程可以得到该级电路的输入为clkin，输出为sft(0)。类似的，得到第二级的输入为sft(0)，输出为sft(1)。总输出为两级电路输出和clkin的逻辑表达式连接，选择非门和与门进行组合即可。得到最终结果如下图：

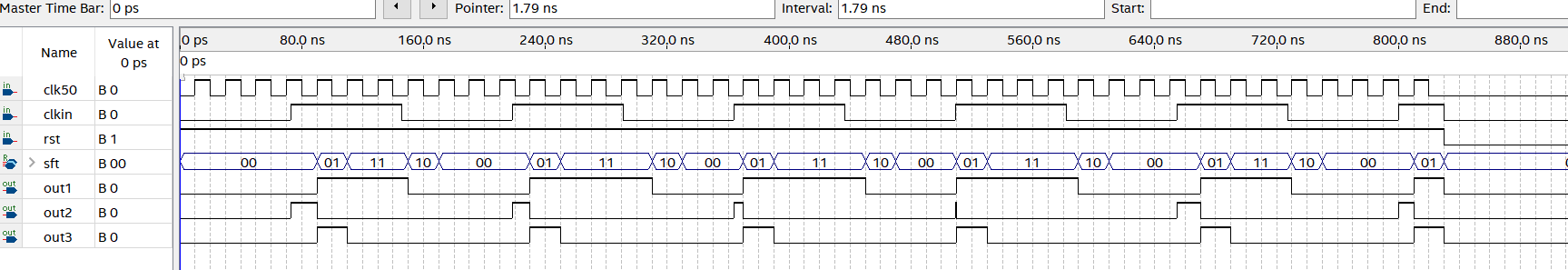


三、结果分析

Verilog HDL、VHDL、BDF图形之间本质是相同的。BDF图形直观地将电路逻辑链接绘制出来，可以清楚地看到输入输出，也是电路的真实结构。Verilog语言和VHDL语言均为硬件描述语言，语法上存在差别，但描述的电路实质仍然相同。

VHDL语言更加标准，存在对库的引用和声明，此阶段代码较多，但Verilog几乎省略了此部分。变量的声明和Verilog语言相通，同时赋值语句也和Verilog语言相似。总之二者实质相同，结构相似，全部对应BDF图形文件。

四、思考题



根据sft中间变量的输出可以看出，sft两位实现的是移位寄存器的功能，即输出为00-01-11-10-00循环。根据out1、out2、out3的输出猜测，out1、out3实现输出的同步开始，out1的维持时间为sft的01-11时间内，out3的维持时间为sft的01时间内。out2为clkin为高电平且sft为00时，才输出高电平，否则为低电平。